

Methods of forming an interconnect on a semiconductor substrate

Patent Number: ☒ US5612254
Publication date: 1997-03-18
Inventor(s): MU XIAO-CHUN [US]; SIVARAM SRINIVASAN [US]; GARDNER DONALD S [US]; FRASER DAVID B [US]
Applicant(s): INTEL CORP [US]
Requested Patent: ☒ JP6069353
Application Number: Publ. Date March 11, 1994
US19920905473 19920629
Priority Number(s): US19920905473 19920629
IPC Classification: H01L21/44
EC Classification: H01L21/768B, H01L21/768B2D, H01L21/768C3, H01L21/768C4, H01L23/522E, H01L23/532N
Equivalents: ☒ GB2268329, ☒ JP2004312028, JP3583794B2, SG42982

Abstract

A device and methods of forming an interconnection within a prepatterned channel in a semiconductor device are described. The present invention includes a method of forming an interconnect channel within a semiconductor device. A first dielectric layer is deposited over a substrate and patterned to form a contact opening that is subsequently filled with a contact plug. A second dielectric layer is deposited over the patterned first dielectric layer and the contact plug. The second dielectric layer is patterned to form the interconnect channel, wherein the first dielectric layer acts as an etch stop to prevent etching of the substrate. The present invention also includes a method of forming an interconnect. A dielectric layer is deposited over a substrate and patterned to form an interconnect chapel. A metal layer is deposited over the patterned dielectric layer and within the interconnect channel. The metal layer is polished with an alkaline solution to remove the metal layer that does not lie within the interconnect chapel to form an interconnect. The present invention further includes a method of forming an interconnect over a silicon nitride layer. The silicon nitride layer is deposited over a semiconductor substrate and patterned to form a contact opening that is subsequently filled with a conductive material. A metal layer is deposited on the patterned silicon nitride layer and the contact plug and patterned to form the interconnect such that all of the interconnect lies on the contact plug and part of the patterned silicon nitride layer.

Data supplied from the esp@cenet database - I2

Jap.Pat.-Anmeldung Nr. 2000-539521

(200688M)

Anlage zu unserem Schreiben vom 13. April 2005

Prüfungsbescheid vom 15.02.2005, zugestellt am 18.02.2005

Bescheidsübersetzung:

1. Die vorliegende Anmeldung ist aufgrund folgender Vorveröffentlichungen leicht herleitbar und daher gemäß Par. 29, Absatz 1, Ziffer 3 des Patentgesetzes nicht schutzfähig:

2. Die vorliegende Anmeldung ist aufgrund folgender Vorveröffentlichungen leicht herleitbar und daher gemäß Par. 29, Absatz 2 des Patentgesetzes nicht schutzfähig:

- zu den Ansprüchen 1 bis 24 gemäß vorl. Anmeldung (bezüglich der Gründe 1 und 2):

1. Jap.Pat.-Offenlegungsschrift Nr. 6-69353 = US 5,612,254
2. Jap.Pat.-Offenlegungsschrift Nr. 9-312291
3. Jap.Pat.-Offenlegungsschrift Nr. 6-13381

CP/NTA
19.04.05

Bezüglich der Maßnahme im Aufbau, eine Schicht zum Behindern der Diffusion von Kupfer, welche nur durch ein Kontaktloch (contact hole) unterbrochen wird, zwischen dem Halbleiterelement und der Isolationsschicht auszubilden, daß eine Isolationsschicht auf einem Halbleiterelement ausgebildet wird und sich darauf eine Kupfer-Verdrahtung (Cu wiring) befindet, vergleichen Sie bitte

die Beschreibungsstellen bezüglich der Ausführungsbeispiele gemäß Entgegenhaltung 1 (vgl. insbesondere Fig. 8, 9 und 12) (Die „Schicht 23 aus Siliziumnitrid“ gemäß Entgegenhaltung 1 ist als Schicht zum Behindern der Diffusion von Kupfer allgemein bekannt, so daß diese Schicht der „Blockerschicht“ entspricht), insbesondere Fig. 1 und 5 gemäß Entgegenhaltung 2 (Die Schicht 29 „diffusion barrier layer“, die durch ein Kontaktloch unterbrochen wird, entspricht der „Blockerschicht“) und insbesondere Fig. 7 gemäß Entgegenhaltung 3 (Die „Schicht 52 aus Siliziumoxynitrid“ entspricht der „Blockerschicht“).

Bezüglich der Ansprüche 4 bis 14 gemäß vorl. Anmeldung stellt das Material für die „Blockerschicht“ und die Isolationsschicht lediglich eine einfache Konstruktionsvariante dar, die von einem Fachmann auf dem betreffenden Gebiet, aus bekannten Materialien den Umständen entsprechend ausgewählt werden kann.

3. Die vorliegende Anmeldung entspricht in folgenden Punkten nicht Par. 36, Absatz 6, Ziffer 2 des Patentgesetzes:

- In Bezug auf den Anspruch 5 gemäß vorl. Anmeldung:

Aus dem Ausdruck „eine Verbindung dieser Elemente“ geht nicht klar hervor, was mit dem unterstrichenen Ausdruck bezeichnet werden soll.

- In Bezug auf den Anspruch 15 gemäß vor. Anmeldung:

Es ist nicht klar, wo „mehrere Blockerschichten“ vorgesehen sind.

- In Bezug auf den Anspruch 16 gemäß vor. Anmeldung:

Aus der Angabe „sich die Blockerschichten auf verschiedenen Strukturebenen befinden“ geht nicht klar hervor, in welchen Stellungen die Blockerschichten sich befinden.

4. Die vorliegende Anmeldung entspricht in folgendem Punkt nicht Par. 36, Absatz 6, Ziffer 1 des Patentgesetzes:

- In Bezug auf den Anspruch 23 gemäß vor. Anmeldung:

Die Erfindung gemäß dem Anspruch 23 ist in der Beschreibung gemäß vorl. Anmeldung nicht angegeben.

Bemerkung:

Gemäß Ihren allgemeinen Weisungen sehen wir von der Übersendung der jap. Entgegenhaltungen ab.

Falls diese Dokumente erwünscht werden, bitten wir Sie um umgehende Mitteilung.